

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-132035

(43)Date of publication of application : 05.06.1991

(51)Int.Cl.

H01L 21/3205

AC

(21)Application number : 01-270748

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.10.1989

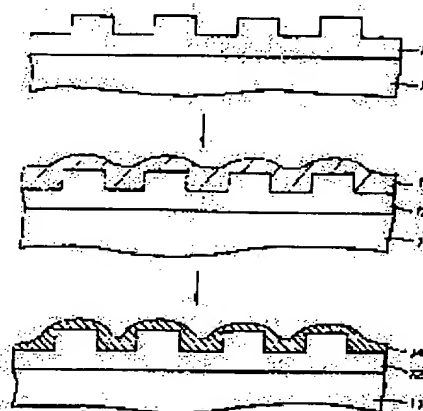
(72)Inventor : YANO HIROYUKI
HAZUKI RIYOUICHI
OKANO HARUO

(54) FILM FORMING METHOD

(57)Abstract:

PURPOSE: To form a copper film favorable in step coverage and small in electric resistance by irradiating an organic metallic complex, which includes copper applied on a substrate, with energy beams so as to form a copper film in the irradiated region.

CONSTITUTION: An Si oxide film 12 of specified thickness is formed on an Si substrate 11, and for this film 12 a trench 0.5 μ m in thickness is made at a pitch of, for example, 2 μ m by reactive etching method with the aid of a mask. Next, the acetone solution of copper in specified concentration, which is made by dissolving the powder of, for example, a bis-Cu complex Cu(HFA)₂ as the copper complex, where two molecules are coordinated, of an acetylaceton dielectric is applied by spin coating method so as to form an application film 13. After this, the substrate 11, where the application film is formed, is installed in a decompressed vacuum vessel, and is irradiated with a specified amount of X rays, for example, 10nm in wavelength, and then heat treatment is done so as to form a copper film 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(54) SEMICONDUCTOR INTEGRAL CIRCUIT

(11) Kokai No. 51-123579 (43) 10.28.1976 (21) Appl. No. 50-48191

(22) 4.22.1975

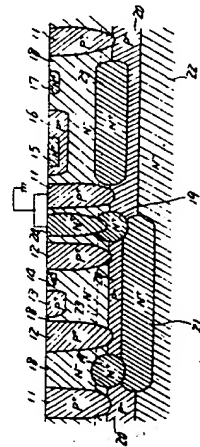
(71) TOKYO SHIBAURA DENKI K.K. (72) HAJIME SAWAZAKI

(52) JPC: 99(5)H0;99(5)E2

(51) Int. Cl.². H01L27/04, H01L29/08

PURPOSE: To provide the PNP and NPN transistors, featuring outstanding characteristics, on one chip with a high yield through the application of a relatively simple production process, as well as to prevent the occurrence of the parasitic effect.

CONSTITUTION: Isolation area 11 and collector current take-out area 12 for the epitaxial base type vertical directional PNP transistor are proved at the same time through the application of the diffusion process. Emitter 13 of the PNP transistor and base 16 of the NPN transistor are also furnished simultaneously. Base current take-out area 14 of the PNP transistor, emitter 15 of the NPN transistor, and collector current take-out area 17 of the NPN transistor are provided at the same time commonly in the N⁺ type.

**(54) SEMICONDUCTOR DEVICE PRODUCTION SYSTEM**

(11) Kokai No. 51-123580 (43) 10.28.1976 (21) Appl. No. 50-48821

(22) 4.22.1975

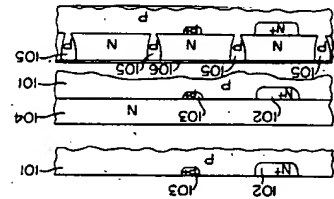
(71) MITSUBISHI DENKI K.K. (72) NAOHIKO KAIDA

(52) JPC: 99(5)H0;99(5)E2;99(5)E3

(51) Int. Cl.². H01L21/72, H01L29/08, H01L29/78

PURPOSE: Method of producing the semiconductor integrating circuit incorporating both the bi-polar type transistor and the MOS type transistor.

CONSTITUTION: N⁺ type embedded layer is provided at a portion where the bi-polar type transistor of P type semiconductor printed circuit board is to be furnished. Next, P⁺ type embedded diffusion layer 103 is provided at the part where the MOS type transistor of a low threshold value of P type semiconductor printed circuit board is to be furnished. If unnecessary to reduce the threshold value, it is not required to provide the embedded diffusion layer for the MOS type transistor. Thereafter, N type epitaxial layer 104 is provided as if covering P type semiconductor printed circuit board 101. After that, separating diffusion layer 105 is provided while, at the same time, oxide film 106 is provided on the surface of the printed circuit board so that an island-shaped section may also be provided. The bi-polar type transistor is provided for N⁺ embedded layer with the island-shaped section while the MOS type transistor featuring a low threshold is provided for P⁺ type embedded diffusion layer 103 having the island-shaped section.

**(54) SEMICONDUCTOR DEVICE PRODUCTION SYSTEM**

(11) Kokai No. 51-123582 (43) 10.28.1976 (21) Appl. No. 50-48462

(22) 4.21.1975

(71) FUJITSU K.K. (72) KIMIO YANAGIDA (2)

(52) JPC: 99(5)H0;99(5)C1

(51) Int. Cl.². H01L21/88, H01L21/265

PURPOSE: Wiring setup system designed to be capable of simply forming extra minute wiring patterns.

CONSTITUTION: The organic compounds, devoid of halogenide, cyanide, carbonyl compound or oxygen, which are used for the wiring materials of the semiconductor devices employing aluminum, etc., are dissolved in the solvent such as alcohol so as to be applied to the surface of wafers. Then, the high-energy beam, such as the electron beam, X-ray, and ultrasonic ray with an extra short wave is irradiated to the portion where necessary wiring is to be provided, so that a wiring pattern may be formed with the such a compound as cited above dissolved, while the wiring materials are left unchanged.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-132035

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月5日

H 01 L 21/3205

6810-5F H 01 L 21/88

A

審査請求 未請求 請求項の数 5 (全5頁)

⑮ 発明の名称 薄膜形成方法

⑯ 特 願 平1-270748

⑰ 出 願 平1(1989)10月18日

⑱ 発 明 者 矢 野 博 之 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内
⑲ 発 明 者 巴 月 良 一 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内
⑲ 発 明 者 岡 野 晴 雄 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内
⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
㉑ 代 理 人 弁 理 士 木 村 高 久

明 細 書

1. 発明の名称

薄膜形成方法

2. 特許請求の範囲

(1) 銅を含む有機金属錯体を基板上に塗布する塗布工程と、

前記有機金属錯体にエネルギービームを照射し、被照射領域に銅薄膜を形成するエネルギービーム照射工程とを含むことを特徴とする薄膜形成方法。

(2) 銅を含む有機金属錯体を基板上に塗布する塗布工程と、

前記有機金属錯体にエネルギービームを照射し、被照射領域に選択的に銅薄膜パターンを形成するエネルギービーム照射工程とを含むことを特徴とする薄膜形成方法。

(3) 前記エネルギービームは、波長が100nm以下の光ビームであることを特徴とする請求項(1)又は(2)に記載の薄膜形成方法。

(4) 前記塗布工程は、前記有機金属錯体を有機溶媒に溶解した溶液を、スピンコート法、スプレー法あるいは、ディップ法により塗布する工程であることを特徴とする請求項(1)又は(2)に記載の薄膜形成方法。

(5) 前記塗布工程は、前記有機金属錯体を融解せしめてなる液体を、スピンコート法、スプレー法あるいは、ディップ法により塗布する工程であることを特徴とする請求項(1)又は(2)に記載の薄膜形成方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、薄膜形成方法および半導体装置の製造方法に係り、特に、半導体基板上の所定の領域に選択的に銅薄膜を形成する方法に関する。

(従来の技術)

近年、半導体装置の高集積化に伴い、回路の微細化は進む一方であり、配線においても微細化および多層化が急速に進められている。

配線材料としては、比抵抗が $2.75 \mu\Omega \cdot \text{cm}$ と低いことから、アルミニウムを主成分とするアルミニウム合金が広く用いられている。

しかしながら、このようなアルミニウムを主成分とするアルミニウム合金等の配線材料においては、配線の微細化により電流密度が増加することによって起因してエレクトロマイグレーションによる断線の問題がますます深刻となってきた。

また、配線にかかる熱ストレスによるストレスマイグレーションも問題となってきた。

そこでアルミニウムよりも低い比抵抗を有し、かつアルミニウムよりも融点が高く、さらにエレクトロマイグレーションおよびストレスマイグレーションに優れた銅あるいは銅を主成分とする配線が検討され始めている。

従来、銅あるいは銅合金薄膜の形成は、アルミニウムと同様スパッタ法により行われてきた。しかしながら、第3図に示すように、基板31上に形成された段差のある酸化シリコン膜表面にスパッタ法により銅薄膜34を形成した場合、段差の

側壁部では極端に膜厚が薄くなるという問題があった。

銅配線の微細化および多層化がますます進んできた現状では、スパッタ法における本質的な段差被覆性の悪さのために配線の断線が生じ易く、また、形成された銅薄膜をパターン加工しようとする場合、銅の化合物の多くは蒸気圧が低いために、反応性イオンエッチング(RIE)法によりパターン加工を行うのは困難である。

(発明が解決しようとする課題)

このように、スパッタ法で形成された銅の配線においては、本来のスパッタ法による薄膜形成の欠点である段差被覆性が悪いということに起因して、断線不良等を始め、配線の信頼性が悪い上、加工性が良くないという問題があった。

本発明は、前記実情に鑑みてなされたもので、段差被覆性が良好かつ高純度で電気的抵抗の小さい銅薄膜を提供することを目的とする。

また、本発明は、容易に高純度で電気的抵抗の小さい銅薄膜パターンを提供することを目的とする。

(作用)

上記方法によれば、銅を含む有機金属錯体からなる塗布膜に対し、エネルギービームを照射することにより、銅を含む有機金属錯体を分解せしめ、被照射領域に銅薄膜を形成することができる。

また、液体を基板表面に塗布するため、深い溝等の段差を含む表面にも極めて被覆性よく膜質の良好な薄膜を形成することができる。

さらにまた、上記方法によれば、銅を含む有機金属錯体からなる塗布膜に対し、エネルギービームを選択的に照射することにより、銅を含む有機金属錯体を分解せしめ、極めて容易に被照射領域に選択的に銅薄膜パターンを形成することができる。

(実施例)

以下、本発明の実施例について図面を参照しつつ詳細に説明する。

第1図(a)乃至(c)は本発明実施例の薄膜形成方法を示す図である。

まず第1図(a)に示すようにシリコン基板11

る。

(発明の構成)

(課題を解決するための手段)

そこで本発明では、銅を含む有機金属錯体を基板上に塗布し、この塗布膜に対し、エネルギービームを照射し、被照射領域に銅薄膜を形成するようにしている。

また、本発明では、銅を含む有機金属錯体を基板上に塗布し、この塗布膜に対し、エネルギービームを照射し、被照射領域に選択的に銅薄膜パターンを形成するようにしている。

望ましくは、エネルギービームは、波長が 100 nm 以下の光ビームとする。さらに望ましくは、 10 nm とするのがよい。

また、望ましくは、有機金属錯体を有機溶媒に溶解した溶液を、スピンコート法、スプレー法あるいは、ディップ法により塗布する。

さらにまた、有機金属錯体を融解せしめてなる液体を、スピンコート法、スプレー法あるいは、ディップ法により塗布する。

上に膜厚 $1\ \mu\text{m}$ の酸化シリコン膜 12 を形成し、この酸化シリコン膜 12 に対し、マスク（図示せず）を用いて反応性イオンエッチング法により例えば $2\ \mu\text{m}$ のピッチで深さ $0.5\ \mu\text{m}$ の溝を形成したものを用意する。

次に、第 1 図 (b) に示すように、アセチルアセトン誘導体の二分子配位した銅錯体として例えばビス（ヘキサフルオロアセチルアセトナト）銅錯体 $\text{Cu}(\text{HFA})_2$ の粉末体をアセトンに溶かして形成した濃度 20% の銅のアセトン溶液をスピコート法によって塗布し、膜厚 $3\ \mu\text{m}$ の塗布膜 13 を形成する。このとき塗布条件としては回転数 200 r.p.m. とする。

この後、このようにして塗布膜の形成された基板 11 を 10^{-3}Pa に減圧した真空容器内に設置し、波長 10nm の X 線を 30 分間照射した後、 200°C で 10 分間の熱処理を行い、第 1 図 (c) に示すように、銅薄膜 14 を形成する。

このようにして、極めて段差被覆性の良好な銅薄膜の形成が可能となる。この銅薄膜 14 は、第

3 図に示した銅薄膜のように段差の側壁で極端に薄くなるようなこともなく、段差被覆性の良好なものとなっている。

ここで、塗布膜の形成された基板を真空容器内に導入する時の圧力は $1\sim 100\text{mTorr}$ 程度が望ましい。

次に本発明の第 2 の実施例にもとづき銅薄膜パターンを形成する方法について説明する。

まず、第 2 図 (a) に示すように、シリコン基板 21 上に膜厚 $1\ \mu\text{m}$ の酸化シリコン膜 22 を形成する。

次に、第 2 図 (b) に示すように、この酸化シリコン膜 22 の表面に、ビスヘキサフルオロアセチルアセトナイト銅錯体 $\text{Cu}(\text{HFA})_2$ の粉末体をアセトンに溶かして形成した濃度 20% の銅のアセトン溶液をスピコート法によって塗布し、膜厚 $3\ \mu\text{m}$ の塗布膜 13 を形成する。このとき塗布条件としては回転数 200 r.p.m. とする。

この後、このようにして塗布膜の形成された基板 21 を 10^{-3}Pa に減圧した真空容器内に設置

し、波長 10nm の X 線を、順次開口幅 $1\ \mu\text{m}$ のスリット（図示せず）を介して選択的に 30 分間照射した後、 200°C で 10 分間の熱処理を行い、第 2 図 (c) に示すように、ストライプ状の銅薄膜パターン 24 を形成する。

この熱処理により、X 線照射による分解の起こっていない銅錯体は昇華し、X 線の照射により銅錯体から分解した銅成分のみが銅の配線パターンとして表面に残留する。

このようにして極めて容易に銅薄膜パターンを形成することが可能となる。

この方法によれば、従来困難であったパターン形成が極めて容易に膜の形成と同時に行為れ、生産性も極めて高いものとなる。

このようにして、極微細な銅の配線を選択的に形成することが可能となる。

なお、本発明は上述した実施例の方法に限定されるものではない。実施例では、ビスヘキサフルオロアセチルアセトナイト銅錯体を用い、下地材料がシリコン酸化膜でこの酸化膜上に銅の薄膜を

形成する例について述べたが、下地材料に依存することなく、アルミニウム、タングステン、モリブデンなどの金属上およびシリコン酸化膜などの絶縁膜上にも形成される。

また、銅元素を含む有機物質金属錯体としては、ビス（ヘキサフルオロアセチルアセトナト）銅錯体のみならずビス（ジビバロイルメタナト）銅錯体、アセチルアセトン銅化合物、あるいはビス（ペンタフルオロプロパノイルビバロイルメタナト）銅化合物等、他の物質を用いても良い。

また、塗布方法としても、スピコート法のみならず、スプレー法、ディップ法等他の方法でも良い。

さらにまた、塗布液としては、前述したような銅錯体のアセトン溶液を用いるほか、アルコールエーテル溶液、銅錯体粉末を融解して形成した銅錯体液等を用いるようにしてもよい。

さらにまた、前記実施例では、照射ビームとして波長 10nm の X 線を用いたが、他の波長の X 線をはじめ、電子ビーム、イオンビーム等他のエネ

ルギービームを用いても良い。

その他、本発明の要旨を逸脱しない範囲で、種々変形可能である。

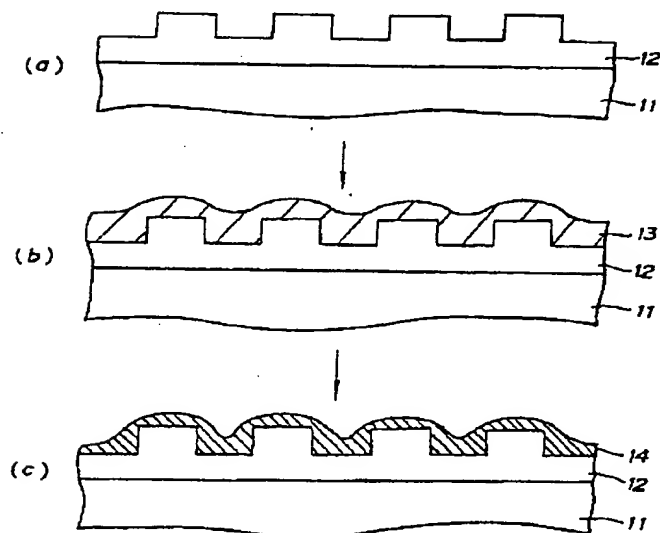
〔発明の効果〕

以上詳述したように本発明の方法によれば、上記方法によれば、銅を含む有機金属錯体からなる塗布膜に対し、エネルギービームを照射して、銅を含む有機金属錯体を分解せしめ、被照射領域に銅薄膜を形成するようにしているため、段差被覆性が良好で電気抵抗の小さい銅薄膜の形成が可能となる。

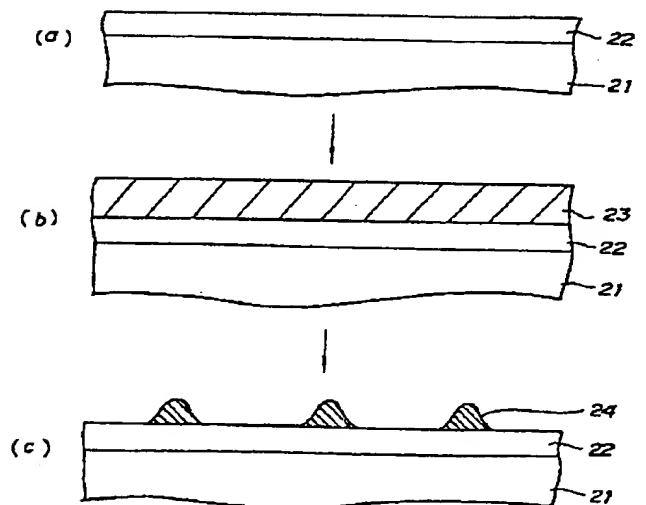
また、銅を含む有機金属錯体からなる塗布膜に対し、エネルギービームを所望のパターンをなすように選択的に照射することにより、銅を含む有機金属錯体を分解せしめ、エッチング工程を必要とすることなく極めて容易に、高精度の銅薄膜パターンを形成することができる。

4. 図面の簡単な説明

第1図(a)乃至第1図(c)は本発明の第1の実施例の薄膜形成方法を示す説明図、第2図(a)乃至第2図(c)は本発明の第2の実施例の薄膜形成方法を示す説明図である。



第1図

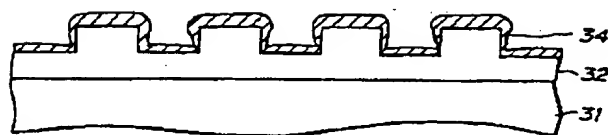


第2図

至第2図(c)は本発明の第2の実施例の薄膜形成方法を示す説明図、第3図は従来例のスパッタリング法によって形成した薄膜を示す図である。

11…シリコン基板、12…酸化シリコン膜、13…塗布膜、14…銅薄膜、21…シリコン基板、22…酸化シリコン膜、23…塗布膜、24…銅薄膜パターン、31…シリコン基板、32…酸化シリコン膜、34…銅薄膜。

代理人弁理士 木村 高 久



第 3 図

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成10年(1998)8月21日

【公開番号】特開平3-132035
【公開日】平成3年(1991)6月5日
【年通号数】公開特許公報3-1321
【出願番号】特願平1-270748
【国際特許分類第6版】

H01L 21/3205

【F I】

H01L 21/88 A

手 続 特 許 法

平成8年10月16日

特許庁長官 殿

1. 事件の表示

平成1年特許願第270748号

2. 補正をする者

事件との関係 特許出願人
(307) 株式会社 東芝

3. 代理人

(〒104)東京都中央区築1丁目8番11号
千代ビル6階 電話 03-3582-0121 (代表)
7105 加藤上 木村 高

方 登 (

4. 補正の対象

明細書の特許請求の範囲の欄および
発明の詳細な説明の欄。

5. 補正の内容

- (1) 本願明細書の特許請求の範囲を別紙の如く訂正する。
- (2) 本願明細書第8頁第17行目の「塗布膜13を形成する。」を
「塗布膜23を形成する。」に訂正する。

特 許 庁

特許請求の範囲

- (1) 有機金属錯体を有機溶媒に溶解した溶液を基板上に塗布する塗布工程と、塗布膜が形成された前記基板に加熱処理を行い、金属薄膜を形成する工程とを具備することを特徴とする薄膜形成方法。
- (2) 有機金属錯体を有機溶媒に溶解した溶液を基板上に塗布する塗布工程と、塗布膜が形成された前記基板に、エネルギービーム照射を行う工程と、その後加熱処理を行い、選択的に金属薄膜パターンを形成する工程とを具備することを特徴とする薄膜形成方法。
- (3) 前記有機金属錯体は、銅を含む有機金属錯体を用いることを特徴とする請求項(1)又は(2)に記載の薄膜形成方法。
- (4) 前記塗布工程は、前記有機金属錯体を有機溶媒に溶解した溶液を、スピンコート法、スプレー法あるいは、ディップ法により塗布する工程であることを特徴とする請求項(1)又は(2)に記載の薄膜形成方法。